

DATA CLOCK GENERATOR AND DATA TRANSMITTER USING THE DATA CLOCK GENERATOR

Patent Number: JP10242953

Publication date: 1998-09-11

Inventor(s): SUZUKI NORIO

Applicant(s):: NEC ENG LTD

Requested Patent: ☐ JP10242953

Application Number: JP19970044327 19970227

Priority Number(s):

IPC Classification: H04L7/033 ; H03B28/00 ; H04J3/06 ; H04N7/08 ; H04N7/081 ; H04N7/24

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make it possible to generate a clock for data only by a clock generating oscillator (VCXO) for a transmission rate without preparing plural VCXOs for data.

SOLUTION: In the case of generating the frequency F ($F=Y \times N/M$) of a required data clock from a clock synchronized with the clock rate Y of a transmission line, a clock generator 2 generates clock frequency synchronized with the clock rate Y , an angular velocity circuit 21 previously determines the value of angular velocity ($W=360 \text{ deg.} \times N/M$) for rotating a data clock of frequency F in each data clock during one clock period of frequency Y and selects and outputs angular velocity W corresponding to the required frequency out of plural previously determined angular velocity data. The angular velocity W of each clock of the frequency Y is integrated by an adder 6 and a shift register 7, a phase angle is outputted and the integration circuit is cleared in each $1/M$ period. The phase angle is converted into a sine waveform by a sine wave generator 8, the sine wave is amplified and amplitude limited by a D/A converter 9 to shape the wave as a rectangular waveform and a data clock is generated.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242953

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 7/033

H 0 4 L 7/02

B

H 0 3 B 28/00

H 0 3 B 28/00

B

H 0 4 J 3/06

H 0 4 J 3/06

Z

H 0 4 N 7/08

H 0 4 N 7/08

Z

7/081

7/13

Z

審査請求 未請求 請求項の数7 O L (全 13 頁) 最終頁に続く

(21) 出願番号

特願平9-44327

(22) 出願日

平成9年(1997) 2月27日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 鈴木 典生

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

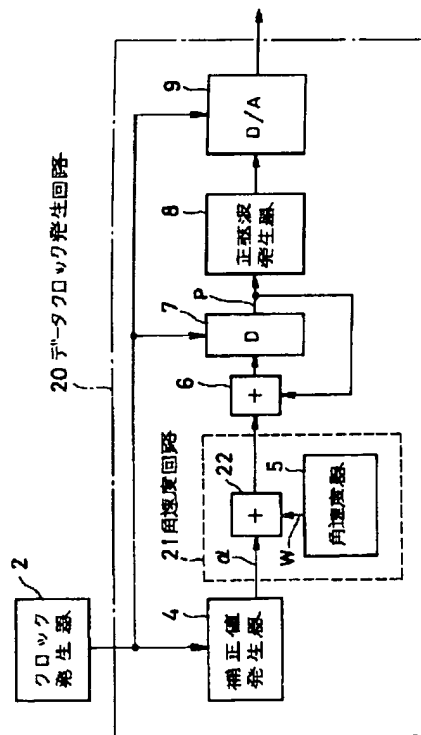
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 データクロック発生装置及びそれを用いたデータ伝送装置

(57) 【要約】

【課題】 データ用のVCXOを複数用意しなくても伝送レートのVCXOのみでデータ用のクロックを発生する。

【解決手段】 伝送路のクロックレートYに同期したクロックから所望のデータクロックの周波数F ($F=Y \times N/M$) を発生するのに、クロック発生器2で伝送クロックレートYに同期したクロック周波数を発生し、角速度回路21で周波数Yの1クロック周期の間に周波数Fのデータクロックが回転する角速度 ($W=360^\circ \times N/M$) の値を各データクロック毎に定めおき、予め定められた複数の角速度のデータの中から所望周波数に対応した角速度Wを選択し出力する。加算器6とシフトレジスタ7で周波数Yのクロック毎に角速度Wを積分して位相角を出力し、 $1/M$ 周期毎に積分回路をクリアする。正弦波発生器8で位相角を正弦波形に変換し、D/A変換器9で正弦波を増幅と振幅制限し矩形波形に整形しデータクロックを発生する。



【特許請求の範囲】

【請求項1】 伝送ビットレートYの周波数に同期させて $D=Y \times N/M$ なる関係（M、Nは正の整数）を有するデータビットレートDの周波数のデータクロックを発生するデータクロック発生装置であって、

前記伝送ビットレートYの周波数に同期したn倍（nは正の整数）の周波数（ $n \times Y$ ）の基本クロックを発生する基本クロック発生手段と、

この基本クロックの周期の $n \times M$ 倍の間にN回転する角速度を発生する角速度発生手段と、

この角速度を前記基本クロックの周期毎に積分して位相角を算出する位相角算出手段と、

この位相角に対応して得られる正弦波を発生する正弦波発生手段と、

この正弦波を波形整形して矩形波に変換して前記データクロックを生成する手段と、

を含むことを特徴とするデータクロック発生装置。

【請求項2】 前記角速度発生手段は、前記角速度の値が小数点を含む場合、前記小数点以下の値を補正値として生成する手段と、この補正値と整数値とを加算する加算手段とを有することを特徴とする請求項1記載のデータクロック発生装置。

【請求項3】 前記位相角算出手段は、前記基本クロックの周期の $n \times M$ 倍の周期毎に積分された位相角をリセットするよう構成されていることを特徴とする請求項1または2記載のデータクロック発生装置。

【請求項4】 前記正弦波発生手段は、前記位相角に対応した正弦波状のデータが予め格納された読出し専用メモリであることを特徴とする請求項1～3いずれか記載のデータクロック発生装置。

【請求項5】 前記位相角の最上位ビットから直接前記データクロックを生成する手段を有することを特徴とする請求項1～3いずれか記載のデータクロック発生装置。

【請求項6】 前記角速度発生手段は、複数の前記データビットレートに対応して前記基本クロックの周期の $n \times M$ 倍の間にN回転する角速度Wを予め設定する角速度設定手段と、指定された前記データビットレートに対応する角速度を選択して出力する手段とを有することを特徴とする請求項1～5いずれか記載のデータクロック発生装置。

【請求項7】 画像信号と音声信号との各々を予め定められたビットレートにデータ圧縮符号化して符号化データ信号を生成する符号化手段と、所望の前記データビットレートのデータクロックに応じてデータ信号を発生する手段と、前記符号化データ信号と前記データ信号とを多重化して前記伝送ビットレートで出力する手段とを含むデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータクロック発生装置及びそれを用いたデータ伝送装置に関し、特に画像や音声等の符号化データと他のデータとを多重化して伝送するための伝送システムにおいて、伝送ビットレートのクロックに同期したビットレートでこれ等データを多重化するためのデータクロックを発生するデータクロック発生装置及びそれを用いたデータ伝送装置に関するものである。

【0002】

【従来の技術】テレビ会議符号化装置は、画像と音声を送る他にデータも多重化して伝送できる。ITU-T勧告のH.320端末ではH.221に従い、非常に多くのデータレート（300～1536M）のデータを伝送できるようになっている。例えば1.536Mbpsの伝送レートの回線（例えばRS449インタフェース）を用いて画像・音声・データを多重化して伝送する場合の多重化の方法はITU-T勧告H.221に規定されている。

【0003】H.221で規定されているデータレートを送るためのクロックを発生するには、従来は1.536Mの伝送クロックに同期したデータ基本クロックを発生してこれを分周してデータクロックを発生している。このため、データレートが単純な比例関係（伝送クロックレートの整数分の1）になっていないことから、従来はデータ用のクロックを発生するVCXO（クロック発生のための発振器）はデータ系列により何種類か用意するか、非常に高いクロックのVCXOが必要である。

【0004】図12には、H.221で規定するデータレートと、伝送クロックの分数比（ N/M ）との関係を示す。伝送クロックが1.536MHzのクロック（RS449のインタフェース）の場合と、1.544MHzのクロック（1.5M専用線（AM1/B8ZS））の場合との分数比を合わせて示す。

【0005】周波数の分数比が簡単な整数の比となる1.536Mの場合について説明する。N=1の場合は、M分周でデータクロックを発生できるが、Nが2以上では分周回路のみでは発生できない。簡単にするには、伝送クロックを整数倍した高いクロックを用いることが必要になる。

【0006】具体的には、データレート $R=1.536 \text{ Mb/s} \times N/M$ とすると、Nが1でない場合のデータレートを示す。各データレートと N/M の関係は14.4Kb/s（ $N/M=3/320$ ）、24Kb/s（ $3/242$ ）、40Kb/s（ $5/192$ ）、56Kb/s（ $7/192$ ）、62.4Kb/s（ $13/320$ ）、320Kb/s（ $5/24$ ）、1152Kb/s（ $3/4$ ）となる。

【0007】すなわち1つのVCXOで全てに対応できるようにする場合、Nの値の3、5、7、13の最小公倍数の周波数が必要で、2096.64MHzのVCX

Oが必要となる。ちなみに1.544Mの場合は図12から判る様に、Nの値が非常に多く、Nの最小公倍数は非常に大きい値になる。

【0008】このため、従来は必要なデータレートに対応した周波をいくつか組合わせて、例えば $3 \times 5 = 15$ 倍と7倍のVCXOを用意しておき、切替えて使用している。更に13倍のVCXOを用意すれば62.4Kbpsが可能となり、全てのデータレートのクロックが発生できる。

【0009】従来例を図11を用いて説明する。周波数の異なるVCXO104(例えば1.536×15MHz)とVCXO105(例えば1.536×7MHz)との2種類用意しておき、指定されたデータ速度のクロックを発生するため、丁度整数の分周となる様に、データ速度切替え制御回路113から何れかの周波数のクロックをSW(スイッチ)106で選択する。カウンタ107では、指定された分周比に従ってクロックを整数分の1に分周してデータ速度のクロックを発生し、データINF(インタフェース)111へ供給する。データ発生器112から供給されるデータ信号はデータINF111を経て、多重回路110で画像音声符号器101からの符号化データと多重化して出力され、伝送INF回路114でRS449のインタフェースに変換して出力される。

【0010】VCXO104, 105は伝送路クロックレートの周波数1.536Mから周波数同期させた各VCXOのクロックを発生する。

【0011】

【発明が解決しようとする課題】伝送クロック用のVCXOの他に、データクロック用のVCXOを設けることは、ハードウェアがそれだけ複雑になる。一方、VCXOの数を少なくするために、最小公倍数の高い周波数のVCXOを用いると、高速動作の回路が必要となり、VCXOの回路が簡単に構成できなくなる。

【0012】データ用のVCXOを別に用意しなくても、伝送クロック用のVCXOのみからデータ用のクロックを発生することができれば更に装置が簡単になる。電磁波の放射規制(VCCI)の面からも、クロック源はなるべく少なく、周波数が低いことが望ましい。

【0013】本発明の目的は、複数のVCXOや最小公倍数の高いVCXOを用いることなく、極めて簡単な構成でデータクロックを発生可能なデータクロック発生装置及びそれを用いたデータ伝送装置を提供することである。

【0014】

【課題を解決するための手段】本発明によれば、伝送ビットレートYの周波数に同期させて $D = Y \times N / M$ なる関係(M, Nは正の整数)を有するデータビットレートDの周波数のデータクロックを発生するデータクロック発生装置であって、前記伝送ビットレートYの周波数に

同期したn倍(nは正の整数)の周波数($n \times Y$)の基本クロックを発生する基本クロック発生手段と、この基本クロックの周期の $n \times M$ 倍の間にN回転する角速度を発生する角速度発生手段と、この角速度を前記基本クロックの周期毎に積分して位相角を算出する位相角算出手段と、この位相角に対応して得られる正弦波を発生する正弦波発生手段と、この正弦波を波形整形して矩形波に変換して前記データクロックを生成する手段とを含むことを特徴とするデータクロック発生装置が得られる。

【0015】また、本発明によれば、画像信号と音声信号との各々を予め定められたビットレートにデータ圧縮符号化して符号化データ信号を生成する符号化手段と、所望の前記データビットレートのデータクロックに応じたデータ信号を発生する手段と、前記符号化データ信号と前記データ信号とを多重化して前記伝送ビットレートで出力する手段とを含むデータ伝送装置が得られる。

【0016】本発明の作用を述べる。伝送路のクロックレートYに同期したクロックから所望のデータクロックの周波数 $D = Y \times N / M$ を発生するのに、伝送クロックレートYに同期したクロック周波数を発生させ、この周波数Yの1クロック周期の間に、周波数Dのデータクロックが回転する角速度 $W = 360^\circ \times N / M$ の値を各データブロック毎に予め定めおき、予め定められた複数の角速度の中から指定された周波数に対応した角速度Wを選択し、このWを周波数Yのクロック毎に積分して位相角を算出する。そして、この位相角に応じたクロックパルスを生成して、データクロックとして出力する様にする。

【0017】これにより、VCXOは1種類で、H.221用のデータクロックを全てデジタル回路にて構成できるので、VCXOを少なくすることができ、回路が簡便化されてLSI化も可能となる。

【0018】

【発明の実施の形態】本発明について実施例を、図面を参照しつつ説明する。

【0019】図1は本発明の第1の実施例を示すブロック図である。図1において、クロック発生器2は伝送ビットレートYの周波数の伝送クロックを発生する。伝送クロック1.5Mの専用線(1.544M)と同じ有効伝送ビットレートとなるデータ速度が1.536MbpsのRS449のインタフェースの場合について示す。1.536MHzの伝送クロックは基本クロックとしてデータクロック発生回路20の補正值発生器4、レジスタ7及びD/A変換器9へ供給される。

【0020】データクロック発生回路20はデータビットレートDが14.4Kb/sとなる場合の、伝送クロックに同期した14.4KHzの周波数のデータクロックを発生する具体例を示す。

【0021】データクロックと伝送クロックが同期しているので、図12に示す様に、データレートDは伝送ビ

ットレートYの整数値の分数比($D=Y \times N/M$)として表せ、14.4Kb/sの場合、データクロックの周波数は伝送クロックの周波数の $N/M=3/320$ となる。

【0022】角速度回路21の角速度器5は伝送クロックの周期における、データクロックの角速度を発生する。周波数の比が $N/M=3/320$ であることより、データクロックの角速度は $360^\circ \times 3/320 = 3.375^\circ$ となる。角速度を12ビットの2進数の精度で表すと、38.4に相当し、整数の角速度Wが38で、小数点以下の補正值が0.4となる。角速度器5は整数の角速度Wを加算器22に供給する。

【0023】補正值発生器4では0.4の補正值を発生して補正を行う。0.4は整数の分数比として $2/5$ として表せるので、基本クロックの5分周毎に2の値を発生し、他のタイムスロットは0を発生し、補正值 α として角速度回路21の加算器22へ供給する。他の方法として、一度に2の補正值を発生するのではなく、5分周のカウンタが0から4までを繰返す間の、2と4の時に1の補正值 α を発生するこれはカウンタの2ビット目を補正值 α とすることにより構成できる。

【0024】加算器22は角速度Wと補正值 α を加算した角速度($W+\alpha$)を加算器6に供給する。加算器6は角速度 $W+\alpha$ を基本クロックの周期毎にレジスタ7から供給される積分値の位相角と加算し、クロック毎の位相角Pを経てレジスタ7に供給する。加算器6は12ビットのモジュロ加算器である。

【0025】レジスタ7から出力される12ビットの位相角Pの上位8ビットは正弦波発生器8へ供給される。この正弦波発生器8は8ビットの位相角PからPCM値の正弦波信号を発生するROM(リードオンリーメモリ)から構成されている。位相角Pに対応した正弦波信号をROMから出力してD/A変換器9に供給する。

【0026】D/A変換器9はD/A変換と矩形波への波形整形の機能を備える。ディジタル正弦波信号をアナログ信号に変換し、LPFでナイキスト周波数以下に帯域制限し、データクロックを得るために、振幅増幅と振幅クリップを行い、矩形波に整形されたデータクロックがD/A変換器9から出力される。

【0027】次に、第2の実施例について説明する。図2は本発明の第2の実施例を示すブロック図であり、図1と同等部分は同一符号にて示しており、データレートが伝送レートの $1/2$ 以上の場合の構成を示す。

【0028】データレートDが伝送レートYの半分以上の場合は、角速度が 180° 以上となり、標準化定理を満たさないため、正しい正弦波、従ってクロック波形を発生することができない。

【0029】従って、クロック発生器23は伝送ビットレートYの周波数の伝送クロックの整数倍(例えば2倍)に周波数同期した基本クロックを発生する。伝送ク

ロックが1.5Mの専用線に対応させたRS449のインタフェースの回線を想定した場合、伝送路クロックは1.536MHzで、基本クロックは2倍の3.072MHzとする。基本クロックはデータクロック発生回路20のカウンタ3、レジスタ7及びD/A変換器9へ供給される。

【0030】具体的な例として、データレートが1152kb/sの場合($D=Y \times 3/4$)について具体的に示す。データクロックと伝送クロックの比は $3/4$ となり、データレートと基本クロックの比(N/M)は $3/8$ となる。

【0031】角速度器5は角速度として $360^\circ \times 3/8 = 135^\circ$ に対応する12ビット表示の角速度 $W=01100000$ を発生し、加算器22へ供給する。この場合、小数点以下の補正が不要で、補正発生器4は常に $\alpha=0$ の補正值を発生して加算器22へ供給する。加算器22は角速度Wと補正值 α を加算した角速度($W+\alpha$)を加算器6に供給する。

【0032】以下のD/A変換されるまでの各回路は、伝送レートの2倍の周波数の基本クロックでレジスタ7及びD/A変換器9が動作すること、及びD/A変換器9のLPFの帯域を2倍大きくすること以外は、図1の具体例と同じ動作をする。

【0033】尚、データビットレートが伝送ビットレートに近い場合は、基本クロックを伝送クロックの3倍またはそれ以上に大きくすると、LPFの特性や正弦波発生器やD/A変換器の特性の精度を緩やかにできる。

【0034】次に第3の実施例について説明する。図3は本発明の第3の実施例を示す図であり、図1、2と同等部分は同一符号にて示している。

【0035】本実施例では第1の実施例と比べると、角速度値Wと加算器6とレジスタ7の演算精度を上げて構成することにより、補正值発生器4を省く構成となっている。但し、角速度Wの値が2進数で割り切れない場合は、位相角Pを求める積分演算によって位相角の誤差が累積されるので、カウンタ3により決められる一定の周期毎に積分器をリセットすることにより、誤差の累積を防ぐ。演算精度は、リセットされる直前での角速度の累積誤差により生じるデータクロックのジッタが無視できる程度に決める。

【0036】クロック発生器23は伝送ビットレートYの周波数の伝送クロックを発生する。伝送クロックは1.536MHzである。このクロックは基本クロックとしてデータクロック発生回路20のカウンタ3、レジスタ7及びD/A変換器9へ供給される。

【0037】データクロック発生回路20はデータビットレートDが14.4Kb/sの場合のデータクロックを発生する。

【0038】データレートDは伝送ビットレートYの整数値の分数比($D=Y \times N/M$)として表すことがで

き、14.4Kb/sの場合、データクロックと伝送クロックの比は $N/M=3/320$ となり、伝送クロックと基本クロックが同じであるので、データクロックと基本クロックの比も $N/M=3/320$ に一致する。

【0039】データクロックの角速度は $360^\circ \times 3/320 = 3.375^\circ$ で、角速度を12ビットの2進数の精度で表すとする、角速度 $W=0000\ 0010\ 0110$ 余り0.4である。これを更に精度を上げて表示すると、角速度 $W=0000\ 0010\ 0110\ 0110$ 以下 0110 を繰り返す値となる。

【0040】ある有効ビット数で打ち切って表現した場合、それ以降の値が誤差となる。分周比 M は320であるので累積誤差は誤差の320倍となる。

【0041】H. 320の端末で規定しているデータレートと1.536Mb/sとの整数の分周比(N/M)は、図12に示す様に、 N が2以上における M の値は、最大で320($<2^9$)である。累積誤差は、例えば1%(2^{-7})程度であれば許容できるとすると、角速度値の誤差はその更に $512(2^9)$ 分の1程度の精度が必要である。従って、角速度値 W は、 $7+9=16$ ビットの精度とする。

【0042】カウンタ3は基本クロックを M 分周して、その周期毎にリセット信号をレジスタ7に供給し、レジスタ7の積分値をリセットする。 M 分周のカウンタはカウンタ出力を($M-1$)の値と比較し、カウンタ値が $M-1$ となるとリセットを行う構成とする。これにより、カウンタ出力は $0 \sim (M-1)$ の値を繰返すことになり、 M 分周が行われる。

【0043】角速度器5は16ビットの角速度値 $W(0000\ 0010\ 0110\ 0110)$ を発生し、加算器6に供給する。加算器6及びレジスタ7は16ビットの精度を有し、積分器を構成する。角速度値 W を基本クロック毎に積分し、レジスタ7の出力に積分値、言い替えると位相角 P を得る。 M 分周の周期毎に位相角 P は0にリセットされる。位相角 P の上位8ビットが正弦波発生器8へ供給される。

【0044】正弦波発生器8は8ビットの位相角 P からPCM値の正弦波信号を発生するROM(リードオンリーメモリ)から構成されており、位相角 P に対応した正弦波信号を出力してD/A変換器9に供給する。

【0045】D/A変換器9はデジタル信号をアナログ信号に変換し、LPFでナイキスト周波数以下に帯域制限してアナログの正弦波信号を得、矩形波に成形してデータクロックがD/A変換器9から出力される。

【0046】次に、本発明の第4の実施例を説明する。図4にそのブロック図を示し、図1～3と同等部分は同一符号にて示す。本実施例は、図3の実施例において、正弦波発生器8とD/A変換器9を削除できるデータクロック発生回路20の構成例を示す。

【0047】クロック発生器2は伝送クロックの8倍の

大きさの基本クロックを発生し、補正値発生器4へ供給する。予め定められたデータレートに対応した16ビットの2進数の角速度 W を求めておく。加算器6で角速度を積分してレジスタの出力に位相角 P を得る。カウンタ3は基本クロックを M 分周して、リセット信号をレジスタ7に送り、位相角をリセットする。MSB回路は16ビットの位相角の最上位のビットのみを取出してデータクロックとして出力する。

【0048】伝送クロックの整数倍 n の値を大きくして基本クロックを高く設定するか、データレートが低い範囲に制限されると、角速度 W は小さく、基本クロック毎の位相角の変化が小さくなるので、正弦波の正負の変化点の変動幅は小さくなる。データクロックの1周期に対するジッタ幅の割合は、大略正規化した角速度 W の大きさになる。

【0049】正弦波は位相角が $0 \sim 180^\circ$ である場合には、 $180 \sim 360^\circ$ の範囲にある場合は負の値となる。位相角を2進数(例えば12ビット)で表すと、最上位のビットMSB(モストシグニフィカントビット)が0の時が正、MSBが1の時が負に対応する。

【0050】角速度が小さい場合、正負のクロス点は大きく変動しないため、いったん正弦波を求めてから正弦波を矩形波に変換しなくても、正弦波発生器のサインビットをそのままデータクロックとしても、データクロックのジッタはあまり大きくならない。

【0051】そして、正弦波の「正、負」の値は位相角 P のMSBの「0、1」に対応することにより、位相角 P のMSBビットを、データクロックとして出力する。正を1に対応させる場合は論理反転して出力する。これにより、正弦波発生器8とA/D変換器9を用いなくても、位相角 P のMSBからデータクロックを発生でき、回路が簡単になる。

【0052】基本クロックを伝送路クロックの例えば8～16倍程度に高く設定すれば、1152Kbpsの高いデータレートまで、D/A変換器9を削除する構成で、ジッタの少ないデータクロックを得ることができる。本実施例の構成は図1～図3の各構成に適用できるものである。

【0053】次の本発明の第5の実施例を示す。本例では、本発明を画像符号化装置に適用した場合の実施例である。図5に送信側に適用した場合のブロック図を示している。

【0054】画像音声符号器1は画像信号と音声信号を予め定められたビットレートに圧縮符号化して多重回路10に供給する。クロック発生器2は伝送路クロックの整数倍の周波数の基本クロックを発生し、伝送路クロックを求めて画像音声符号器1及び多重回路10へ供給し、基本クロックを補正値発生器4、レジスタ7及びD/A変換器9へ供給する。

【0055】複数のデータレートに対応する角速度と補

正值を予め定めておき、データ速度切替制御器13からの制御信号に従って、所望の角速度と補正值を選択して出力することにより、所望のデータレートの周波数のデータクロックをデータクロック発生回路20から出力する。

【0056】基本クロックは、データクロック発生回路20の補正值発生器4、レジスタ7及びD/A変換器9へ供給される。データクロック発生回路20は図1の構成を用いている。

【0057】補正值発生器4ではデータ速度切替制御器13からの制御信号に従って、選択されたデータレートの補正值 α を発生して加算器22へ供給する。角速度器5はデータ速度切替制御器13からの制御信号に従って、選択されたデータレートの角速度 W を発生し加算器22へ供給する。加算器22は角速度 W と補正值 α を加算した角速度($W+\alpha$)を加算器6に供給する。加算器6、レジスタ7、正弦波発生器8、D/A変換器9は図1の各部と同じ機能を有する。D/A変換器9の出力には指定されたビットレートのデータクロックが、データINF11へ供給される。

【0058】データINF11は伝送路に同期したデータクロックをデータ発生器12へ供給してデータクロック毎に伝送するデータ信号を得て多重回路10へ供給する。多重回路10は音声画像符号化信号とデータ信号とフレーム同期信号を多重化して伝送クロックレートで送り出す。伝送INF回路14は多重化された1.536 Mbpsの伝送データ信号及び伝送クロックをRS449のインタフェースで送り出す。データレートの切替え制御はデータ速度切替制御器13で行われる。データクロック発生回路20は図1の方法に限定されない。

【0059】次に、受信側に適用した場合について図6に示す。図6は受信側の構成を示す。受信側は図5に示す送信側の構成と対称の機能の手段を用いて同様に構成される。伝送INF回路33はRS449のインタフェースの信号をバイナリの信号に変換する。RS449のインタフェースでは伝送データと伝送クロックが送られてくるので、このクロックを元に基本クロックを発生する様にする。

【0060】RS449インタフェースから逆変換された多重化信号は分離回路32に供給され、伝送路クロックはクロック発生器36に供給される。分離回路は、多重化された信号から、H.221のフレームを検出し、音声と画像の符号化信号とデータ信号を分離して、音声と画像の符号化データは画像音声復号器31へ供給され、データ信号はデータインタフェース34として供給される。画像音声復号器31では符号化信号を復号して、画像信号と音声信号を再生して出力する。

【0061】クロック発生器36は再生された伝送クロックを元に整数倍の基本クロックを発生し、基本クロックはデータクロック発生回路20へ供給する。伝送クロ

ックは分離回路32と画像音声復号器31へ供給される。

【0062】データクロック発生回路20は図5の送信側のデータクロック発生回路20と同じ機能を有し、同様の動作によりデータ速度切替制御器13で指定されたデータレートのデータクロックを発生し、データINF34に供給する。データ速度の情報が、送信側からの情報ビット等に入れて送られてくる場合は、これを分離して出力し、これに従って切替え制御を行う。

【0063】データINF34はデータクロックに従って分離回路32から供給されるデータを出力して、データ受信器35へ供給される。

【0064】図7にTV会議端末に適用した場合の構成例を示す。図7において、TV会議等に用いる画像端末は、通常、送信側と受信側がセットとなって構成される。図7(A)の送信側は図5、図7(B)の受信側は図6を基本に構成する。伝送ラインはRS449のインタフェースである。データクロック発生回路20は図1～図6に示す構成が適用できる。

【0065】図7(A)の送信側の構成について説明する。画像と音声は画像音声符号器1で符号化され、多重回路10へ供給される。データ伝送INF回路411では、外部から供給されるデータ信号(例えばRS232のデータ信号)が、データクロック発生回路20からのデータクロック速度で読込まれ、2進信号に変換されて、多重回路10へ供給される。この端末がマスタクロックの場合、PG(パルス発生)回路402で伝送クロックを発生し、各部へクロックを供給する。

【0066】データクロック発生回路20は、制御器413の制御信号に応じて、PG回路402から供給された基本クロックから指定された速度のデータクロックを発生する。多重回路10は符号化された画像・音声信号とデータ信号と、他にフレーム同期と情報信号を多重化し伝送データ信号として伝送INF414へ送る。伝送INF414は伝送データ信号及び伝送クロックをRS449に変換して出力する。RS449は平衡伝送で行われTipとRingに信号が出力される。制御器413は制御信号を各部に送る。

【0067】次に、図7(B)の受信側の構成について説明する。伝送INF433に供給された伝送データ及び伝送クロックはレベル変換されて、伝送データは分離回路32へ、伝送クロックはPG回路436へ供給される。PG回路436は、伝送クロック及び基本クロック等必要なクロックを発生して各部へ供給する。分離回路は同期信号を基準に分離を行い、画像音声信号と画像音声復号器31へ、データ信号をデータINF回路434へ、制御情報を制御器423へ供給する。制御器423は制御信号を各部へ供給する。画像音声復号器31では復号化が行われ、画像と音声の信号が再生されて出力される。

【0068】データクロック発生回路20は送信側と同じ構成で、制御器からの制御信号で指定された速度のデータクロックを発生する。データINF回路434はデータクロックに同期してデータ信号が出力される。

【0069】次に、図1及び図2における各部の構成の具体的構成例を説明する。角速度器5と補正值発生器4の具体的構成例を説明する。

【0070】角速度器5は1伝送クロック周期における、データクロックの角速度を発生する。データクロックの角速度は $360^\circ \times 3/320 = 3.375^\circ$ となる。今、 360° の角速度を4096に正規化して12ビットの2進数の精度で表すとすると、 3.375 は 38.4 に相当する。 $360^\circ (=0^\circ)$ は1 0000 0000 0000 (4096)、言換えると 0° で0 000 0000 0000と表される。一方、 3.375° の角速度Wは0000 0010 0110 (38)と表され余りは小数点以下の補正值 α で 0.4 となる。 0.4 の補正は5回に2回の割合で1を加算すれば良いことになる。

【0071】補正值発生器4は5分周のカウンタで0～4の値を繰返す5分周カウンタである。カウンタの2ビット目を補正值とすると、5分周カウンタが2と4の値の時に2ビット目が1となり、5回に2回の割合で1の補正值 α が発生される。

【0072】正弦波発生器8とD/A変換器9の具体的構成例を説明する。

【0073】位相角Pから正弦波を発生する回路は、8ビット256ワードのROMを用いて構成される。ROMの0～255のアドレスIに $X = \sin(360^\circ/256 \times I)$ で示される8ビットの2の補数で正弦波Xの値が記憶されている。Xは7ビットの大きさを正規化されている。I=64の時、Xは最大値は「01111111」にクリップされ、X=1でなく $X=127/128$ となるが、矩形波を求めるのには無視できる値である。最小値はI=192の時でXは最小値の「10000000」で $X=-1$ となる。

【0074】データレートが伝送路レートに近い場合は、クロック毎の位相角Pの変化が大きいため、正弦波の精度を8ビットと高くする。

【0075】データレートが伝送路レートに比べて小さい時、例えば $1/10$ 程度以下の範囲に限定される時は、クロック毎の位相角Pの変化が小さいので、正弦波出力の精度は小さくでき、4ビットまたはそれ以下にできる。この時、 $X = \sin(360^\circ/256 \times I)$ の関係からXの量子化値を決める場合に、絶対値切り上げにより求めると、正弦波から矩形波のデータクロックを求める時データクロックの立上がり急峻になる。

【0076】LSI化する場合は、ROM容量を小さくすることが必要になるが、三角関数の性質を利用すれば

$0 \sim 45^\circ$ ($I=0 \sim 32$)の変換ROMから $0/360^\circ$ までの変換出力を求めることができる。

【0077】次に第6の実施例について説明する。そのブロック図を図8に示す。本実施例は、図3のデータクロック発生回路20を図6に適用した構成について示す。

【0078】角速度Wと加算器6とレジスタ7の演算精度を上げて構成することにより、補正值発生器4を省き、複数のデータレートに対応する角速度と分周比を予め備えていて、指定されたデータレートに対応した角速度と分周比を選択して処理を行う。

【0079】画像音声符号器1は画像信号と音声信号を予め定められたビットレートに圧縮符号化して多重回路10に供給する。クロック発生器2は伝送路クロックの整数倍の周波数の基本クロックを発生し、伝送路クロックを求めて画像音声符号器と多重回路10へ供給し、基本クロックをカウンタ3、レジスタ7及びD/A変換器9へ供給する。

【0080】複数のデータレートに対応するカウンタの分周比と角速度を予め定めておき、データ速度切替制御器13からの制御信号に従って、所望の角速度と分周比を選択して処理を行うことにより、所望のデータレートの周波数のデータクロックをデータクロック発生回路20から出力する。

【0081】カウンタ3はデータ速度切替制御器13からの制御信号に従って、選択されたデータレートに対応する分周比Mで基本クロックを分周して、分周の周期毎にリセット信号をレジスタ7に供給する。

【0082】角速度器5はデータ速度切替制御器13からの制御信号に従って、選択されたデータレートに対応する16ビットの角速度Wを発生し加算器6へ供給する。

【0083】加算器6は角速度Wとレジスタ7を基本クロックの周期毎に16ビットのモジュロ演算で加算して、クロック毎の位相角Pを得てレジスタ7に供給する。

【0084】レジスタ7から出力される16ビットの位相角Pの上位8ビットは正弦波発生器8へ供給される。

【0085】正弦波発生器8は8ビットの位相角Pの入力に対応した8ビットの正弦波信号を発生する回路でROMで構成され、8ビットの正弦波信号はD/A変換器9に供給される。

【0086】D/A変換器9は、ディジタル正弦波信号をアナログ信号に変換し、LPFで帯域制限し、振幅増幅と振幅クリップを行って矩形波に成形したデータクロックを出力し、データインタフェース11へ供給する。

【0087】データINF11は伝送路に同期したデータクロックをデータ発生器12へ供給してデータクロック毎に伝送するデータ信号を得て多重回路10へ供給する。

【0088】多重回路10は音声画像符号化信号とデータ信号とH₂₂₁のフレーム同期信号を多重化して伝送クロックレートで送り出す。伝送INF回路14は多重化された1.536Mbpsの伝送データ信号及び伝送クロックをRS449のインタフェースで送り出す。データレートの切替え制御はデータ速度切替制御器13で行われる。

【0089】次に、1.5M専用線(AMI/B8ZS)インタフェースを用いた場合の具体的構成例を図9に示す。本例では図7において、伝送INF回路414及び433がRS449のインタフェースではなく、1.5M専用線(AMI/B8ZS)を用いた場合の例である。1.5M専用線の場合、1.5Mでのフレーム同期を取るために8Kbpsが加わり、1.544Mbpsの伝送速度となる。

【0090】図9(A)の送信側のPG回路902では1.544MHzのクロック及び必要な整数倍の基本クロックを発生する。多重回路10から供給される1.536Mbpsの多重化データが伝送INF(S)914でB/U変換して出力されるが、1.5Mでのフレーム同期を取るための信号が8KHz周期で(8Kbps)加わり、合わせて1.544Mbpsの速度の信号がB/U変換されてAMI信号として出力される。AMI信号には、伝送クロック1.544Mを再生できるクロック成分が含まれている。

【0091】図9(B)の受信側では、送られてきた1.5M専用線のAMI信号を伝送インタフェース(R)933でU/B変化すると共に、クロック成分を抽出して、1.544MHzのクロックを再生する。再生された伝送クロックはPG回路936に送られ、基本クロック及び必要なクロックを再生して各部に供給する。

【0092】送信側及び受信側のデータクロック発生回路20では、1.544MHzの基本クロックから指定されたビットレートのデータクロックを発生する。図12には、各データ速度に対する分数比が、伝送クロックが1.536Mの場合の他に、1.544MHzの場合が示してあるので、これを用いて各データ速度での角速度Wを求める。

【0093】1.544Mの基本クロックから14.4KHzのデータクロックが指定された場合について説明する。データクロックと基本クロックの関係は、図12より、 $D=1.544M \times 9/965$ の関係で示されており、 $N=9$ 、 $M=965$ である。

【0094】従って、基本クロックに対する、データクロックの角速度は16ビットで表すと、角速度 $W=2^{16} \times 9/965=611$ で、余り $209/965$ となる。カウンタは基本クロックを $M(=965)$ 分周して、分周の周期毎に、位相角Pをリセットする。位相角Pは $W=611$ の角速度を基本クロック毎に積分して求められ

る。他の、データ速度の場合も同様に、図12に示すN、Mの関係より、角速度Wとカウンタの分周値Mが定められる。他の部分の機能動作は図7に同じである。

【0095】本発明の第7の実施例について図10に示す。本例では、分数比 N/M でNが2以上で、Mの値が大きい場合のデータクロック発生回路20の構成例についてのものである。

【0096】1.54Mの伝送クロックで、0.3Kのデータ速度の場合、分数比 N/M は図12から $N/M=3/15440$ である。単純に $M=15440$ のカウンタを用いた構成にすると、M分周での誤差の累積が大きくなり、例えば2%程度の誤差に、抑えるためには、角速度の精度は2%の $1/15440$ 程度にする必要がある。 $2\% > 1/64$ 、 $15440 < 2^{14}$ の関係より、角速度Wの精度は $6+14=20$ ビット程度が必要となる。

【0097】これを改善する方法として、 $M=80 \times 193$ の関係があることより、プリカウンタ18を用いて基本クロックを80分周して、プリカウンタの出力に第2の基本クロックを求める。この求められた、第2の基本クロックについて、図3の実施例に示す処理と同じ動作で、分数比 $N/M=3/190$ の関係からデータクロックを求めることができるが、積分処理の部分の精度は分周比が $M=15440$ から $M=193$ と小さくなるため、角速度Wの精度は $6+8=14$ ビット程度に小さくできる。

【0098】以上説明した様に、1.544Mのクロックの場合にも、別のVCXOを必要とせずに、所望のデータレートのクロックを発生することができる。また、1.544Mが基本クロックで、データレートがおおよそ128k~192kbps以下の場合であれば、図4に示すデータクロック発生回路20を適用することができる、正弦波発生器8とD/A変換器9が不要となって、回路が簡単になる。

【0099】更に、基本クロックを伝送クロックの8~16倍にすれば、1.152Kbpsのデータレートまで図4の構成を適用して良好なデータクロックを得ることができる。

【0100】

【発明の効果】以上説明した様に、本発明のデータクロック発生方式を用いれば、伝送クロック用の基本クロックから、伝送クロックに同期したデータレートのデータ用クロックを自由に発生することができ、従来の、複数個のVCXOや最小公倍数の高いVCXOを用いる場合に比べて回路が簡単になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】本発明の第2の実施例を示すブロック図である。

【図3】本発明の第3の実施例を示すブロック図である。

【図4】本発明の第4の実施例を示すブロック図である。

【図5】本発明の第5の実施例を示す送信側のブロック図である。

【図6】本発明の第5の実施例を示す受信側の構成を示すブロック図である。

【図7】本発明の実施例を用いたTV会議端末の構成例を示すブロック図である。

【図8】本発明の第6の実施例を示すブロック図である。

【図9】1.5M専用線の伝送路を用いた実施例を示すブロック図である。

【図10】本発明の第7の実施例を示すブロック図である。

【図11】従来の例を示すためのブロック図である。

【図12】H. 221におけるデータレートと1.536M及び1.544Mのデータクロックの整数比の関係を示す図である。

【符号の説明】

1 画像音声符号器

2, 23, 36 クロック発生器

3, 30 カウンタ

4, 40 補正值発生器

5, 50 角速度器

6, 22 加算器

7 レジスタ

8 正弦波発生器

9 D/A変換器

10 多重回路

11, 34, 411, 423 データINF

12 データ発生器

13 データ速度切替制御器

14, 33 伝送INF回路

17 MSB回路

18 プリカウンタ

20 データクロック発生回路

21 角速度回路

31 画像音声復号器

32 分離回路

35 データ受信器

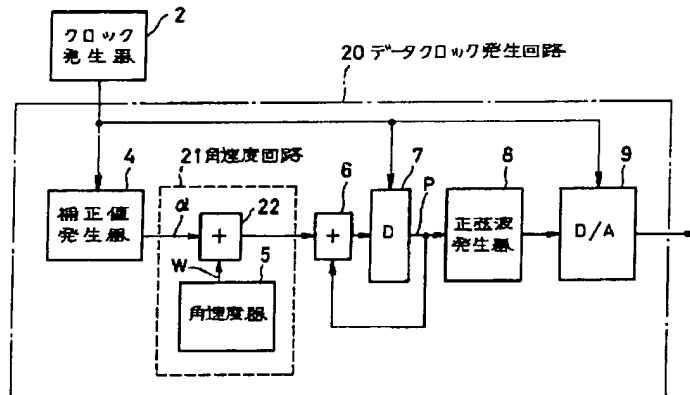
36 クロック発生器

413, 423 制御器

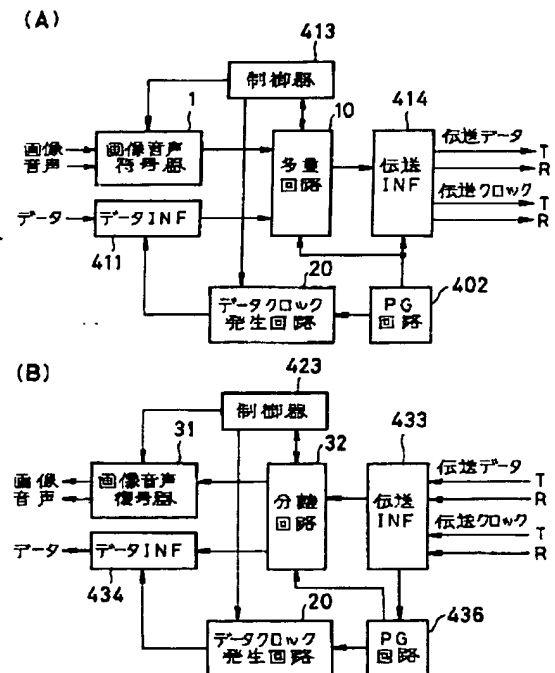
402, 436, 902, 936 PG回路

414, 433, 914, 936 伝送INF

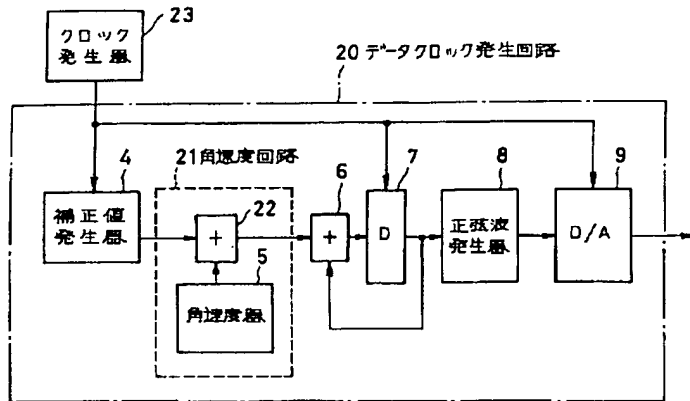
【図1】



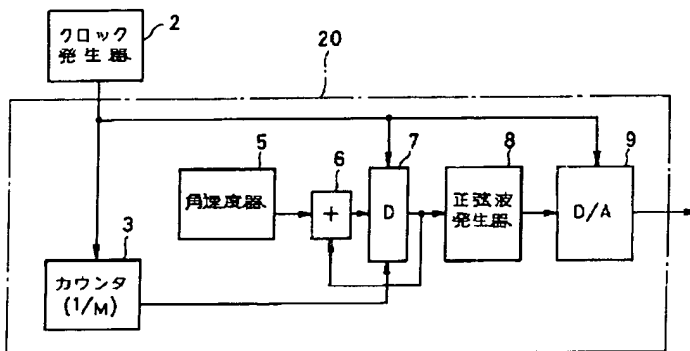
【図7】



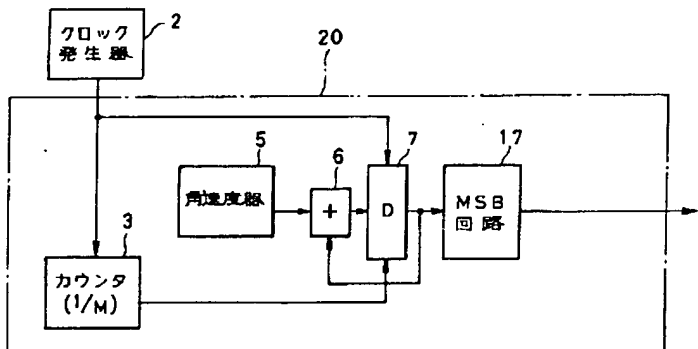
【図2】



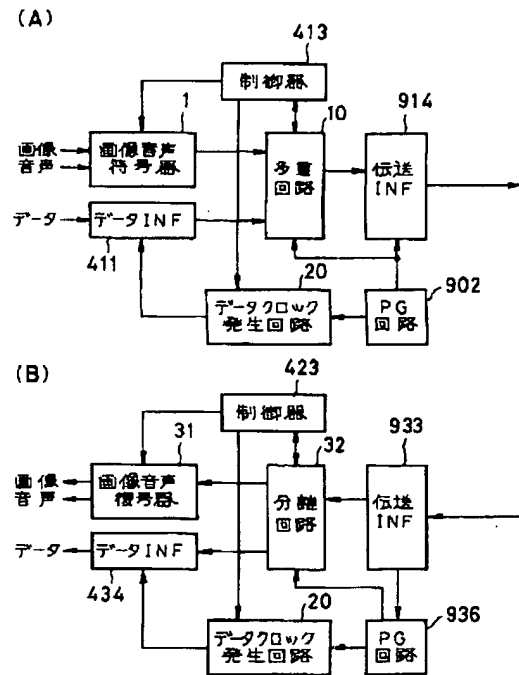
【図3】



【図4】



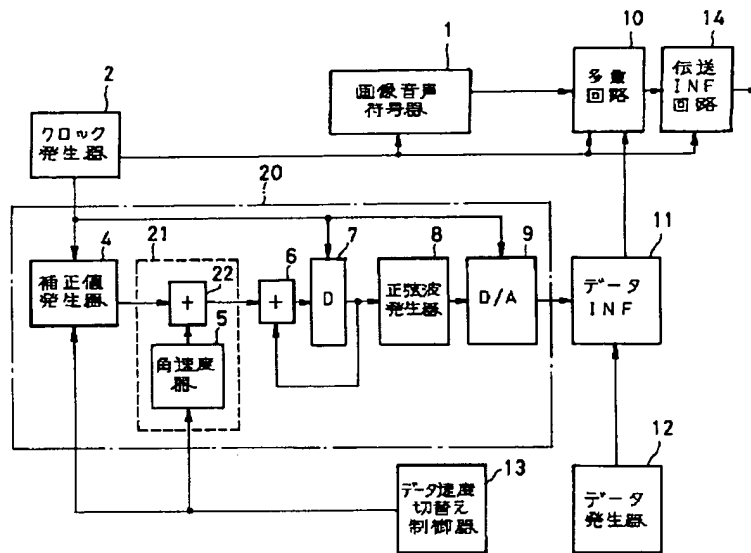
【図9】



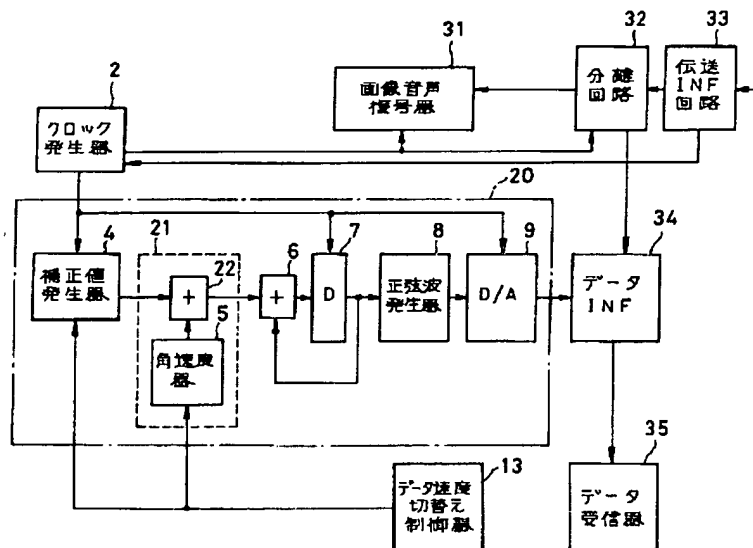
【図12】

データ速度 D	伝送クロックの周波数	
	1.536Mの時の N/M	1.544Mの時の N/M
0.3 K	1/5120	3/15440
1.2 K	1/1280	3/3860
4.8 K	1/320	3/965
6.4 K	1/240	4/965
14.4 K	3/320	9/965
16 K	1/96	2/193
24 K	3/242	3/193
32 K	1/48	4/193
40 K	5/192	5/193
48 K	1/32	6/193
56 K	7/192	7/193
62.4 K	13/320	39/965
64 K	1/24	8/193
128 K	1/12	16/193
192 K	1/8	24/193
256 K	1/6	32/193
320 K	5/24	40/193
384 K	1/4	48/193
512 K	1/3	64/193
768 K	1/2	96/193
1152 K	3/4	144/193

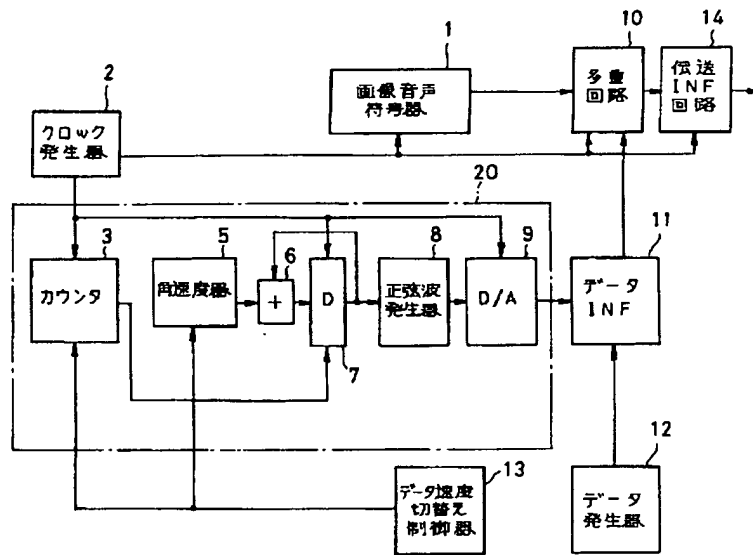
【図5】



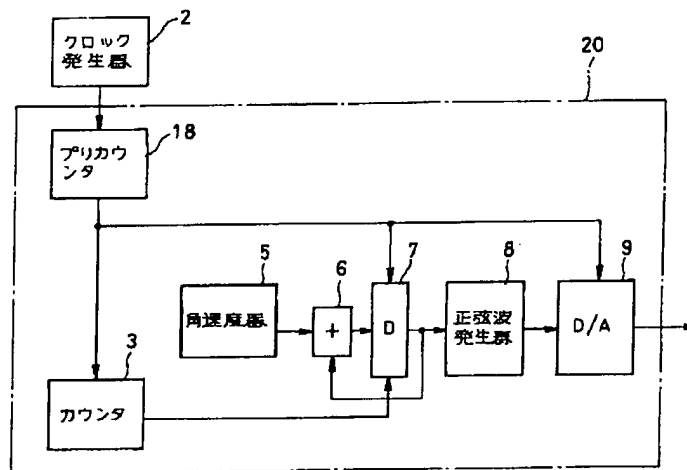
【図6】



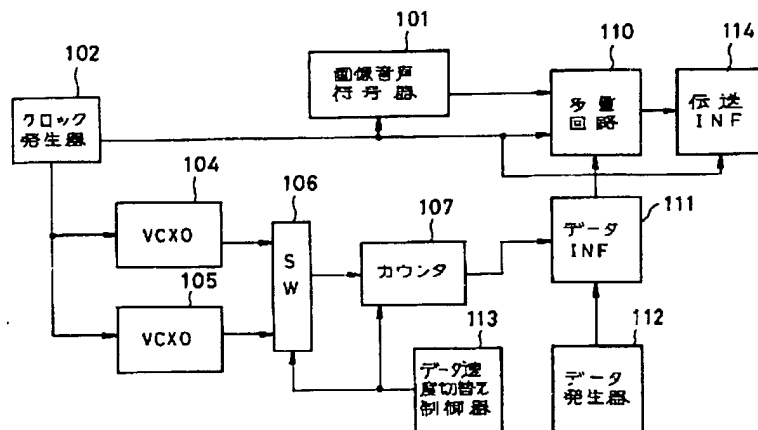
【図8】



【図10】



【図11】



フロントページの続き

(51)Int. Cl.⁶

H04N 7/24

識別記号

F I